

# 高速电路中电源/地平面间同步开关噪声的抑制研究

熊 祥, 胡玉生

(集美大学机械与能源工程学院, 福建 厦门 361021)

**[摘要]** 提出一种将介质型电磁带隙结构与电源平面分割技术相结合, 用于抑制高速电路电源/地平面间同步开关噪声的新方法。利用 Ansoft HFSS 建立相应三维电磁仿真模型并对其进行数值仿真, 结果表明: 若以  $-40$  dB 为噪声隔离标准, 噪声可在  $0.01 \sim 0.66$  GHz 与  $0.91 \sim 4.11$  GHz 范围内得到有效抑制, 并且噪声最大抑制深度可达  $-152$  dB。对以分割电源平面为参考平面的单端微带信号线的信号传输质量进行分析, 结果表明单端微带信号线的插入损耗在  $0.01 \sim 4.46$  GHz 范围均大于  $-3$  dB, 证明本方法在抑制同步开关噪声的同时可以保持较好的信号传输质量。

**[关键词]** 同步开关噪声; Ansoft HFSS; 信号完整性; 电源平面分割; 介质型电磁带隙结构

**[中图分类号]** TN 41

## Research on Mitigation of Simultaneously Switching Noises Between Power/Ground Planes in High Speed Circuits

XIONG Xiang, HU Yusheng

(School of Mechanical and Energy Engineering, Jimei University, Xiamen 361021, China)

**Abstract:** In this paper, a dielectric bandgap structure enhanced segmented power plane technology was proposed for mitigating simultaneously switching noises between power and ground planes in high-speed circuits. 3-D electromagnetic simulation model was correspondingly constructed and simulated by HFSS. The simulation results shows that a wideband noise suppression property was achieved in the range of  $0.01 \sim 0.66$  GHz and  $0.91 \sim 4.11$  GHz at the suppression level of  $-40$  dB, at the same time, the maximum depth of noise suppression could be reached at  $-152$  dB. The propagation characteristic of single-ended microstrip signal trace that referenced to the segmented power plane was analyzed and the insertion loss of the single-ended microstrip signal trace is greater than  $-3$  dB from  $0.01$  GHz to  $4.46$  GHz, it proved that the good signal transmission quality could be maintained while suppressing simultaneously switching noise.

**Keywords:** simultaneously switching noises; Ansoft HFSS; signal integrity(SI); segmented power plane; dielectric electromagnetic bandgap structure

## 0 引言

半导体制造工艺的提高使当前高速电路朝着多功能、高密度、低功耗、高性能及小型化的方向快

**[收稿日期]** 2019-03-13

**[基金项目]** 国家自然科学基金资助项目(61871200); 福建省科技计划对外合作项目(2017J0011)

**[作者简介]** 熊祥(1992—), 男, 硕士生, 从事高速数字系统的电磁兼容与信号完整性分析研究。通信作者: 胡玉生(1970—), 男, 教授, 博士, 从事高速数字系统的电磁兼容与信号完整性分析研究。  
E-mail: hysmk@sina.com

<http://xuebaobangong.jmu.edu.cn/zkb>

速发展。然而, 电路的高集成度必将产生更多的同步开关噪声 (Simultaneously Switching Noises, SSN)。由于 SSN 的高频谐波分量可以激发电源/地平面间谐振, 进而导致高速电路产生严重的信号完整性 (Signal Integrity, SI) 和电磁干扰 (Electromagnetic Interference, EMI) 问题<sup>[1-2]</sup>。

在电源/地平面间添加去藕电容<sup>[3-4]</sup>、嵌入式电容<sup>[5]</sup>, 从而为噪声电流提供一条低阻抗电流返回路径, 这是减轻电源/地平面间谐振的常用方法; 然而由于电容的寄生效应使其作用的有效频段一般低于 1GHz。电源平面分割技术或者电源岛技术<sup>[6-7]</sup>也是抑制 SSN 的一种常见方式, 其主要思想是通过切断噪声源与噪声敏感电路的传播路径, 从而减轻噪声敏感电路的 SSN, 在低频段噪声隔离效果较为明显, 但高频段由于电源/地平面间谐振, 在电源平面分割间隙处会发生严重的噪声耦合现象。在高速 PCB 中运用蘑菇形 EBG 结构<sup>[8-9]</sup>也能起到抑制 SSN 的作用, 但蘑菇形 EBG 结构制造工艺较为复杂, 并且在 PCB 电源/地平面间大量布置蘑菇形 EBG 结构会增大 PCB 板的封装尺寸不利于高速数字系统的小型化。在电源平面上周期性蚀刻共面型 EBG 结构单元<sup>[10-11]</sup>也可抑制 SSN 在电源/地平面间传播, 但在电源平面大量蚀刻周期性单元会引起信号电流返回路径阻抗不连续进而导致严重的 SI 问题。

用于 PCB 板中的介质型 EBG 结构<sup>[12-14]</sup>是指在电源/地平面间介质层中周期性地排布高介电常数的介质柱材料, 其可以实现在某一频率范围内阻碍 SSN 向电路板四周传播。但目前使用介质型 EBG 抑制 SSN 在 PCB 板间传播依旧存在噪声抑制的低频特性不好, 噪声抑制宽度不够的缺点。鉴于电源平面分割技术在抑制 SSN 中所具有的优良低频特性, 本文提出将电源平面分割与介质型 EBG 结构相结合用于抑制 SSN 传播的技术, 以改善介质型 EBG 结构抑制 SSN 低频特性的缺点, 从而实现宽频带抑制 SSN。

## 1 分割电源平面对 SSN 的抑制分析

高速电路中, 电源/地平面通常被置于多层 PCB 介质层中, 以便为高速信号提供电流返回路径或为有源器件提供必要供电电压。如图 1 所示, 电源平面被分割成长为  $a$ , 宽为  $b$  的两电源岛结构, 分割间隙为  $w_0$ , 忽略介质上敷铜层厚度, 则电源/地平面层间介质厚度为  $t$ , 电源/地平面层间介质相对介电常数为  $\epsilon_r$ 。假设端口 1 所在电源岛视为噪声激励源, 端口 2 所在电源岛视为噪声敏感电路, 利用电源平面分割技术可将噪声源与噪声敏感电路分开以达到隔离 SSN 的目的。

在低频段, 可将电源平面分割结构等效为如图 2 所示的  $\pi$  型电路网络, 其中  $C_d$  代表每个分割单元的对地电容,  $C_g$  为间隙电容,  $L_{int}$  为电感,  $R_s$  为电阻。由于分割间隙的存在, 使得 SSN 不能顺利向端口 2 所在的电源岛传播, 进而实现了对 SSN 的有效隔离。但在高频段, 由于 SSN 的高频谐波分量可以激发电源平面分割结构产生谐振, 在电源平面分割的间隙处会产生严重的噪声耦合, 使其失去隔离 SSN 的作用。

对于图 1 所示尺寸为  $a \times b$  的电源岛结构, 其谐振频率<sup>[1,6-7]</sup>为:

$$f_{mn} = (2\sqrt{\mu\epsilon})^{-1} \cdot \sqrt{(m/a)^2 + (n/b)^2} \quad (1)$$

其中:  $\mu$ 、 $\epsilon$  分别为电源/地平面层间介质的磁导率和介电常数;  $m$ 、 $n$  对应于电源岛谐振模式。

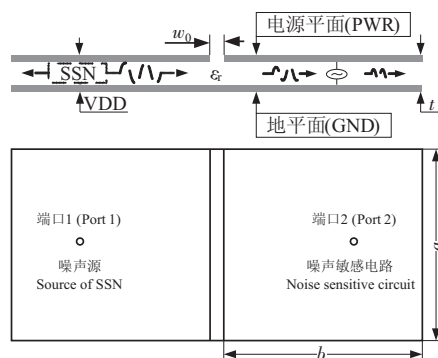


图 1 电源平面分割结构示意图

Fig.1 Schematic diagram of segmented power plane

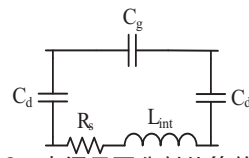


图 2 电源平面分割处等效电路

Fig.2 Equivalent circuit at segmented power plane

## 2 介质型 EBG 与电源平面分割技术相结合对 SSN 的抑制作用

图 3 为本文提出的用于抑制电源/地平面间 SSN 的介质型 EBG 结构的三维结构图。其中：上表面为电源平面，下表面为地平面，两电源岛长  $a = 50 \text{ mm}$ ，宽  $b = 49.5 \text{ mm}$ ，电源平面的分割间隙  $w_0 = 1 \text{ mm}$ ，端口 1、2 分别位于  $(25 \text{ mm}, 20 \text{ mm})$ 、 $(25 \text{ mm}, 80 \text{ mm})$  处，以 FR4 作为层间介质基板（其相对介电常数  $\varepsilon_r = 4.4$ ），介质损耗  $\tan \delta = 0.02$ ，层间介质基板厚度  $t = 0.8 \text{ mm}$ 。通过 HFSS 对介质型 EBG 结构进行参数优化，选定介质柱相对介电常数  $\varepsilon_d = 850$ 、介质柱高度  $h = t = 0.8 \text{ mm}$ 、介质柱半径  $r = 2 \text{ mm}$ ，并且介质柱以  $5 \times 10$ 、间隔距离  $d = 10 \text{ mm}$  的方式均匀排布在电源/地平面介质基板中。

利用 HFSS 建立图 3 所示的三维电磁仿真模型，并对其在电源平面和地平面分别施加电壁边界条件，在 PCB 板四周壁施加磁壁边界条件。将端口 1 设置为  $50 \Omega$  同轴激励端口，端口 2 设置为  $50 \Omega$  同轴匹配端口，采用集总方式对端口进行激励，将步长设置成  $50 \text{ MHz}$ ，在  $0.01 \sim 6 \text{ GHz}$  频率范围内对所建三维仿真模型进行离散扫频分析。对于图 1 所示的电源岛结构，利用式 (1) 可以得到采用电源平面分割技术隔离 SSN 的参考板所对应的前两阶谐振点  $f_{\text{TM}10}$ 、 $f_{\text{TM}20}$  分别为  $1.43 \text{ GHz}$  和  $2.86 \text{ GHz}$ 。若将端口 1 与端口 2 之间的插入损耗  $S_{21}$  低于  $-40 \text{ dB}$  认定噪声隔离效果良好，从图 4 可以看出参考板在  $0.01 \sim 1.16 \text{ GHz}$  内噪声抑制效果表现良好，但随着频率的上升参考板将发生谐振，于是在高频段参考板的噪声抑制效果表现不佳。之后保持参考板的三维结构参数不变，将介质型 EBG 结构与电源平面分割技术相结合用于抑制高速电路电源/地平面间 SSN 的传播（即如图 3 所示的三维电磁模型），不仅可以保持介质型 EBG 结构在高频段宽频带对 SSN 的抑制特性，并且还可以克服介质型 EBG 结构抑制 SSN 低频特性的缺点。从图 4 可知，相较于参考板本文所提方法可使 PCB 板的前两阶谐振点，即  $f_{\text{TM}10}$ 、 $f_{\text{TM}20}$  处的  $S_{21}$  分别降低  $98 \text{ dB}$  和  $88 \text{ dB}$ ，并在  $0.01 \sim 0.66 \text{ GHz}$  与  $0.91 \sim 4.11 \text{ GHz}$  频段范围内对 SSN 实现有效抑制。

为验证本文所提方法在抑制 SSN 的全方向性，如图 5 所示，分析了在噪声敏感电路中处

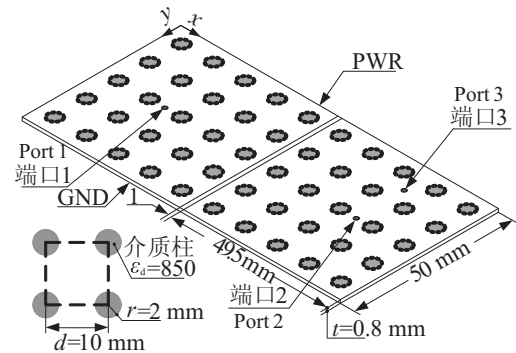


图 3 电源/地平面的三维结构图

Fig.3 3-D view of power and ground plane

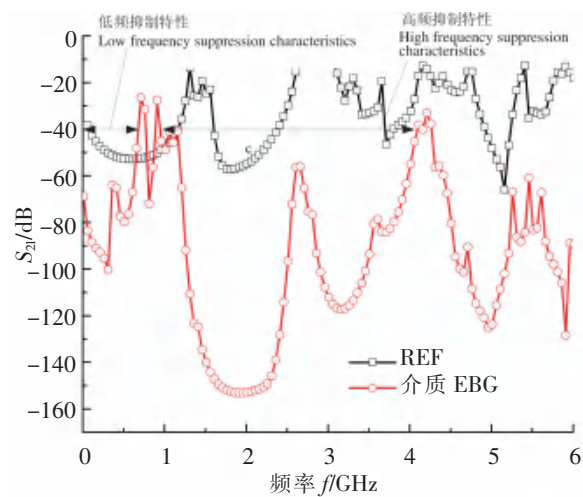


图 4 介质 EBG 结构与参考板的噪声抑制特性对比

Fig.4 Comparisons of noise mitigation between dielectric EBG structures and referenced board

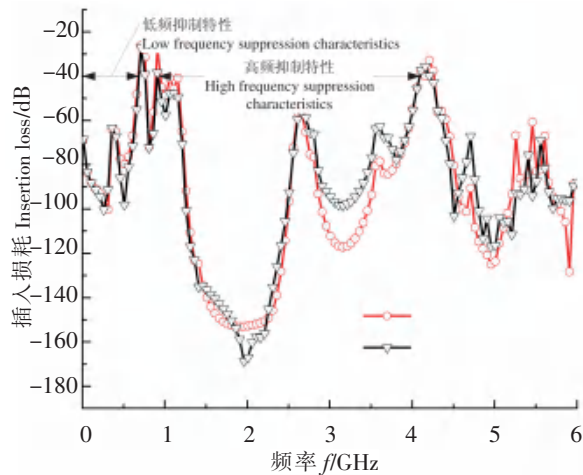


图 5 不同端口处的噪声抑制特性对比

Fig.5 Comparisons of characteristic of noise mitigation between different ports

于不同接收端口处的插入损耗。图5中,  $S_{31}$  的噪声激励端口1位置保持不变, 噪声接收的端口3位于(10 mm, 80 mm)处。从图5可以看出, 在0.01~6 GHz范围内插入损耗  $S_{21}$  和  $S_{31}$  变化趋势基本保持一致, 噪声抑制带宽基本保持不变, 因此电源/地平面间 SSN 抑制的全方向性得到了验证。

### 3 信号完整性分析

如图6所示, 在 HFSS 建立了以分割电源平面为参考平面的单端微带信号线的三层印刷电路板的三维电路模型。其中, 信号层与电源层间及电源层与地层间均采用厚度为0.8 mm的FR4作为层间介质基板, 其相对介电常数  $\epsilon_r = 4.4$ , 介质损耗  $\tan \delta = 0.02$ , 介质型 EBG 结构的形状和位置参数与图3一致。将端口1与端口2分别设置为50  $\Omega$ , 为实现阻抗匹配降低信号的反射把信号层中的单端微带线阻抗设置成50  $\Omega$ , 信号线的走线宽度  $w = 1.5$  mm。以端口1作为信号激励端口, 端口2作为信号接收端口, 采用集总方式对端口进行激励, 以50 MHz为步长, 在0.01~6 GHz频率范围内对图6所示三维电路模型进行离散扫频分析。

对于单端微带信号线, 端口1的返回损耗  $S_{11}$  通常用于评价高速信号传输过程中信号所产生的反射情况, 而端口2对端口1的插入损耗  $S_{21}$  通常用于评价信号的传输质量。如图7所示, 分析了电源平面分割技术在介质基底中只含有FR4的参考板, 以及在FR4介质基底中周期性布置相对介电常数  $\epsilon_d = 850$  的介质型 EBG 结构的单端微带信号传输线的信号传输质量的情形。通常认为信号传输线的  $S_{21}$  大于-3 dB或  $S_{11}$  小于-20 dB 表征信号传输质量良好。从图7中可以看出, 相较于工作频率在0.01~6 GHz范围内的参考板, 在电源/地平面介质基底内周期性布置相对介电常数为  $\epsilon_d = 850$  的介质型 EBG 结构, 在实现对 SSN 抑制的同时可以有效缓解信号传输质量带来的不利影响, 维持较好的信号传输质量。并且由图7b) 可以看出, 当参考板的工作频率在1.2 GHz左右时, 微带线的信号电流返回路径阻抗不连续使高速信号产生了较大的反射, 其信号传输质量已经明显下降, 故在此时高速电路已经产生了明显的信号完整性问题。然而相对于在电源/地平面间周期性布置相对介电常数  $\epsilon_d = 850$  的介质型 EBG 结构, 其单端微带信号的插入损

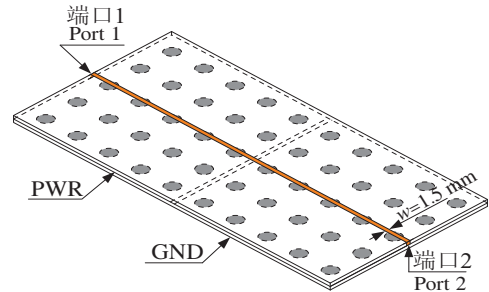
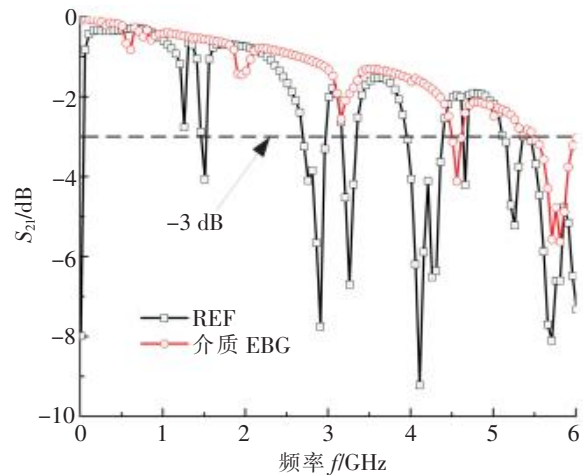
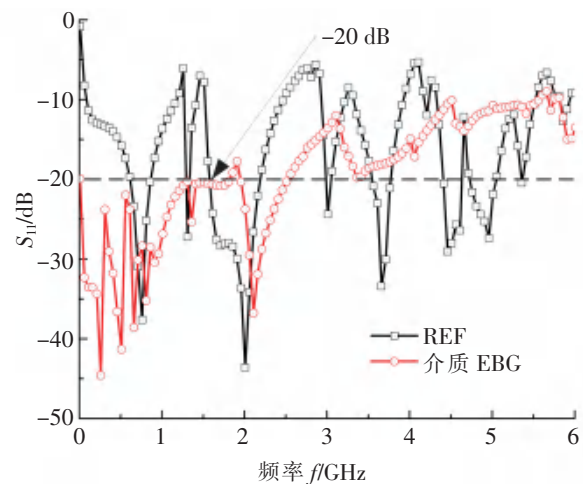


图6 电源平面为参考平面的单端微带信号线的三维图

Fig.6 3-D view of single-ended microstrip signal trace referenced to the power plane



a) 插入损耗对比 Comparison of insertion loss



b) 返回损耗对比 Comparison of return loss

图7 单端微带线的信号传输质量的分析

Fig.7 The analysis of signal transmission quality of single-ended microstrip trace



耗在某些频点虽有小幅波动,但在 0.01 ~ 4.46 GHz 范围内单端微带信号线的插入损耗均大于 -3 dB,因此该频率范围内单端微带信号线可以保持较好的信号传输质量。

## 4 结论

本文提出了一种将介质型 EBG 结构与电源平面分割技术相结合用于抑制高速电路电源/地平面间 SSN 传播的新方法。利用三维全波电磁仿真软件 HFSS 建立了相应的仿真模型,仿真结果表明本方法不仅在 0.01 ~ 0.66 GHz 与 0.91 ~ 4.11 GHz 范围内实现对 SSN 的宽频带抑制,还能改善用于抑制电源/地平面间 SSN 传播的介质型 EBG 结构的低频工作特性。对以分割电源平面为参考平面的单端微带线的信号传输特性进行了分析,发现在 0.01 ~ 4.46 GHz 范围内,单端微带信号线的  $S_{11}$  均小于 -20 dB,  $S_{21}$  均大于 -3 dB。故本方法能保证高速电路信号传输质量良好的情形下,实现对电源/地平面间 SSN 的有效抑制。

## 参考文献

- [1] VAN D B S, OLYSLAGER F, DE ZUTTER D, et al. Study of the ground bounce caused by power plane resonances[J]. IEEE Transactions on Electromagnetic Compatibility, 1998, 40(2): 111-119.
- [2] SHRINGARPURE K, PAN S M, KIM J. Sensitivity analysis of a circuit model for power distribution network in a multi layered printed circuit board[J]. IEEE Transactions on Electromagnetic Compatibility, 2017, 59(6): 1993-2001.
- [3] RICCHIUTI V. Power-supply decoupling on fully populated high-speed digital PCBs[J]. IEEE Transactions on Electromagnetic Compatibility, 2001, 43(4): 671-676.
- [4] HUBING T H, DREWNIAK J L, VAN DOREN T P, et al. Power bus decoupling on multilayer printed circuit boards[J]. IEEE Transactions on Electromagnetic Compatibility, 1995, 37(2): 155-166.
- [5] XU M, HUBING T H, CHEN J, et al. Power-bus decoupling with embedded capacitance in printed circuit board design[J]. IEEE Transactions on Electromagnetic Compatibility, 2003, 45(1): 22-30.
- [6] CUI W, FAN J, REN Y, et al. DC power-bus noise isolation with power-plane segmentation[J]. IEEE Transactions on Electromagnetic Compatibility, 2003, 45(2): 436-443.
- [7] WU C T, SHIUE G H, LIN S M, et al. Composite effects of reflections and ground bounce for signal line through a split power plane[J]. IEEE Transactions on Advanced Packaging, 2002, 25(2): 297-301.
- [8] ABHARI R, ELEFTHERIADES G V. Metallo-dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high-speed circuits[J]. IEEE Transactions on Microwave Theory and Techniques, 2003, 51(6): 1629-1639.
- [9] SHAHPARNIA S, RAMAHI O M. Electromagnetic interference (EMI) reduction from printed circuit boards (PCB) using electromagnetic bandgap structures[J]. IEEE Transactions on Electromagnetic Compatibility, 2004, 46(4): 580-587.
- [10] 熊祥, 胡玉生. 介质型 EBG 结构对同步开关噪声抑制的有限元分析[J]. 微波学报, 2019, 35(3): 41-45.
- [11] WU T L, LIN Y H, WANG T K, et al. Electromagnetic bandgap power/ground planes for wideband suppression of ground bounce noise and radiated emission in high-speed circuits[J]. IEEE Transactions on Electromagnetic Compatibility, 2005, 53(9): 2935-2942.
- [12] WU T L, CHEN S T. An electromagnetic crystal power substrate with efficient suppression of power/ground plane noise on high-speed circuits[J]. IEEE Microwave and Wireless Components Letters, 2006, 16(7): 413-415.
- [13] WU T L, CHEN S T. A photonic crystal power/ground layer for eliminating simultaneously switching noise in high-speed circuit[J]. IEEE Transactions on Microwave Theory and Techniques, 2006, 54(8): 3398-3406.
- [14] CICCOCANCINI S A, WU T L, ORLANDI A. Noise coupling mitigation in PWR/GND plane pair by means of photonic crystal fence: sensitivity analysis and design parameters extraction[J]. IEEE Transactions on Advanced Packaging, 2010, 33(3): 574-581.

(责任编辑 朱雪莲 英文审校 黄振坤)