

杂质纵向高斯分布 UTBB-SOI MOSFET 的 虚拟阴极阈值电压解析模型

韦素芬¹, 陈红霞¹, 李诗勤², 黄长斌¹, 刘璟¹

(1. 集美大学海洋信息工程学院, 福建 厦门 361021; 2. 瑞芯微电子股份有限公司, 福建 福州 350003)

[摘要] 采用 Sentaurus Process 工艺仿真工具, 验证了超薄硅膜内单次纵向离子注入并快速热退火后所实现的轻掺杂杂质分布符合高斯规律。设计杂质纵向高斯分布的轻掺杂纳米 UTBB-SOI MOSFET, 用虚拟阴极处反型载流子浓度来定义阈值电压的方法, 为器件建立二维阈值电压解析模型。通过与 Sentaurus Device 器件仿真结果对比分析, 发现: 阈值电压模型能准确预测器件在不同掺杂、器件厚度和偏置电压下的阈值电压, 正确反映器件的背栅效应, 其模拟结果与理论模型相符。

[关键词] UTBB-SOI MOSFET; 高斯分布; 虚拟阴极; 阈值电压

[中图分类号] TN 313.4

Modeling of the Threshold Voltage Based on Virtual Cathode for UTBB-SOI MOSFET with a Vertical Gaussian Distribution of Impurities

WEI Sufen¹, CHEN Hongxia¹, LI Shiqin², HUANG Changbin¹, LIU Jing¹

(1. School of Information Engineering, Jimei University, Xiamen 361021, China;

2. Rockchip Electronics Corporation Limited, Fuzhou, 350003, China)

Abstract: The equivalence of the one-dimensional (1-D) Gaussian-form to the vertical impurity profile within the ultra-thin silicon film is proved by using Sentaurus Process simulator, which is implemented by combining a perpendicular ion implantation and a rapid thermal annealing (RTA). Then an insightful study of the virtual cathode is performed for the UTBB SOI MOSFETs with a vertical Gaussian doping of impurities. The coordinates of virtual cathode for the nanometer UTBB-SOI MOSFET with a vertical Gaussian doping profile is derived by employing Sentaurus device simulator. The two-dimensional (2D) analytical compact threshold voltage model is derived based on a virtual cathode. The accuracy of the model has been verified by 2D numerical device simulation using Sentaurus device simulator. Applying the newly developed model, the threshold voltage sensitivities to channel length, silicon-film thickness, buried-oxide thickness, and the channel doping concentration have been comprehensively investigated. Good agreements are achieved. This work has both theoretical and practical significance and provides aids in promoting theoretical modeling research and applications of new UTBB-SOI based devices.

Keywords: UTBB-SOI MOSFET; Gaussian doping; virtual cathode; threshold voltage

[收稿日期] 2019-10-16

[基金项目] 福建省自然科学基金引导性项目 (2019H0022)

[作者简介] 韦素芬 (1976—), 女, 副教授, 从事电路与系统设计, 纳米器件建模方向研究。通信作者: 刘璟 (1982—), 男, 教授, 从事微纳技术与智能传感研究。E-mail: jingliu@jmu.edu.cn

0 引言

延续摩尔定律 (More Moore) 仍是当今集成电路技术发展的主要方向之一^[1-2]。UTBB-SOI MOSFET 不但具备传统 FD-SOI MOSFET 电流驱动能力高、消除 kink 效应等诸多优点; 而且相比传统 FD-SOI MOSFET 来说, UTBB-SOI MOSFET 还有更陡峭的亚阈值斜率^[3]、更出色的短沟效应抑制能力、更显著的背栅对阈值电压和电流的调控能力^[4]、更强的抗辐射能力、更好的耐高温性能。因此在延续摩尔定律时代, 在高速、低压低功耗纳米集成电路应用中, 具备出色的发展与应用前景^[5]。

阈值电压是 MOS 器件解析模型中的重要模型参量, 对器件的直流特性、频率特性和开关特性等具有重要影响。一直以来, 从传统 FD-SOI 器件^[6-7]到 UTBB-SOI 器件^[8], 阈值电压模型一直是国内外的研究热点。目前, 大多数关于 UTBB-SOI MOSFET 的研究都假设杂质在超薄体区均匀分布, 然而无论是对于长沟重掺杂的器件, 还是短沟轻掺杂或极轻掺杂的器件, 这样的假设与实际工艺步骤之后产生的器件杂质分布特性都不相吻合, 尤其是对于体区轻掺杂的 UTBB-SOI 器件而言, 减少掺杂浓度的目的不仅是为了提高迁移率, 也是为了尽量减小掺杂浓度不均匀对于器件电特性的影响。但, 即使掺杂浓度降低到了 $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 数量级, 掺杂浓度的轻微不均匀特性仍会对纳米器件特性产生不可忽略的影响^[9]。沟道非均匀掺杂对器件特性的影响随着尺寸的缩小而更显著。因此, 研究体区杂质非均匀掺杂对器件阈值电压的影响有着重要的实际意义。

1 纵向离子注入及快速热退火与高斯函数的对比

n 沟 UTBB-SOI MOSFET 器件结构如图 1 所示。 x 轴方向为沿源/沟道界面的垂直方向, y 轴方向为沿栅-栅氧化层界面的水平方向; t_{oxf} 、 t_{si} 、 t_{oxb} 、 t_{sub} 、 $x_{\text{d-sub}}$ 是栅氧层、硅膜、埋氧层、衬底的厚度及衬底内耗尽层深度; L 为沟道长度; N_{SD} 为源漏区掺杂浓度, $N_{\text{B}}(x)$ 为硅膜掺杂浓度, N_{sub} 为衬底掺杂浓度; V_{D} 、 V_{S} 、 V_{G} 、 V_{sub} 分别为漏、源、栅、衬底偏置电压; 器件的源端接地。在模拟时假设: $n+$ 型源漏区杂质呈均匀分布, p 型衬底杂质呈均匀分布, 轻掺杂 p 型硅膜内杂质呈横向 (y 轴方向) 均匀分布。

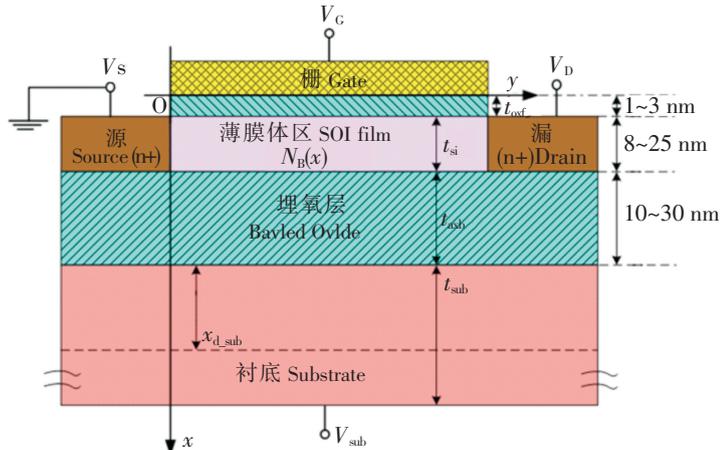


图 1 n 沟 UTBB-SOI MOSFET 剖面结构图

Fig.1 Cross section of n -channel UTBB-SOI MOSFET

本研究的 UTBB-SOI MOSFET 的超薄硅膜基于智能剥离 (smart-cut) 技术形成。将器件厚度定为: t_{si} 为 $8 \sim 25 \text{ nm}$; t_{oxb} 为 $10 \sim 30 \text{ nm}$; t_{oxf} 为 $1 \sim 3 \text{ nm}$ 。 p 型衬底掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$, 源区与漏区掺杂浓度为 $2 \times 10^{20} \text{ cm}^{-3}$ 。对 UTBB-SOI MOSFET 来说, 硅膜通常采用轻掺杂。为使得轻掺杂 UTBB-SOI MOSFET 的 p 型硅膜内的杂质分布与实际工艺相符, 基于实际轻掺杂时硼注入的剂量和能量, 先进行纵向无晶圆自转的硼离子注入, 后继一次快速热退火。使用工艺模拟软件 Sentaurus Process 对以上工艺步骤进行模拟, 对所形成器件硅膜内的杂质纵向分布规律进行曲线化拟合和分析。工艺模拟与曲线拟合结果分别如图 2 所示。

在工艺仿真分析 UTBB-SOI MOSFET 的掺杂特性变化时, 固定栅氧与埋氧厚度: $t_{\text{oxf}} = 2 \text{ nm}$, $t_{\text{oxb}} = 30 \text{ nm}$; 改变硅膜厚度: $t_{\text{si}} = 8 \text{ nm}$, $t_{\text{si}} = 25 \text{ nm}$ 。针对这两种不同硅膜厚度, 分别调整硼注入的剂量和能量, 进行四次纵向离子注入, 以产生不同的掺杂分布特性, 硅膜内的平均掺杂浓度保持在 $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 数量级。每次离子注入均有后继一次 2 s 的快速热退火。在图 2 中, 离散点为工艺仿真软件 Sentaurus Process 所计算出的纵向杂质分布点, 实线为对应离散点图形采用 Origin 工具所拟合的高斯

函数 $N_B(x)$ ，其表达式为：

$$N_B(x) = N_p \cdot \exp[-((x - R)/\sigma)^2/2] (t_{oxf} \leq x \leq t_{oxf} + t_{si}) \quad (1)$$

其中： R 为高斯函数平均投影射程 (nm)； N_p 为高斯函数峰值 (cm^{-3})； σ 为高斯函数标准差 (nm)。从图 2 可看出：采用垂直于沟道方向无晶圆自转的一次离子注入，之后再配合一次快速热退火，在硅膜内所形成的杂质在水平方向呈均匀分布，在垂直方向分布规律与高斯函数一致。因此，在本文的仿真和分析中，采用式 (1) 的高斯函数 $N_B(x)$ 表征轻掺杂硅膜内的杂质分布。

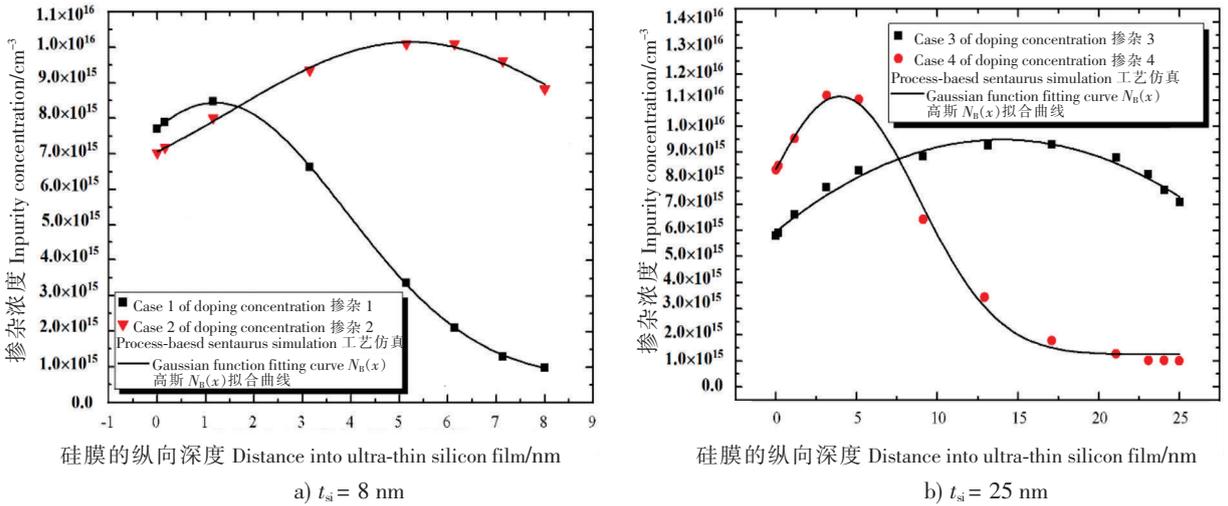


图 2 Sentaurus Process 仿真的纵向杂质分布与对应拟合的一维高斯函数对比图

Fig.2 Sentaurus Process simulated vertical impurity distribution versus the corresponding one-dimensional Gaussian function

2 基于虚拟阴极的阈值电压的定义与推导

2.1 基于虚拟阴极的阈值电压的定义

对短沟道轻掺杂、极轻掺杂和非掺杂 UTBB-SOI MOSFET，阈值电压定义不再基于长沟重掺杂器件阈值电压关系式中加入修正项，而是引入虚拟阴极的概念来定义阈值电压。虚拟阴极是指正、背栅电压作用下硅膜内电势最小值所在的位置。在杂质纵向非均匀分布的情况下，虚拟阴极位置并不一定位于硅膜的正、背表面，而是有可能位于硅膜的内部^[10-11]。

对于纳米轻掺杂 UTBB-SOI MOSFET，由沟道表面势最小值等于两倍体费米势得到阈值电压的计算方法被认为不再准确^[12-13]。为定义短沟轻掺杂器件阈值电压，引入虚拟阴极的概念。Fasarakis^[8]提出：以衡量内部虚拟阴极点反型载流子浓度来定义阈值电压。当虚拟阴极（即：电势最小值处）的反型载流子浓度等于衬底深处掺杂平坦处多数载流子数目时，这时的栅源电压称为阈值电压。但是硅膜内部虚拟阴极准确位置的计算过程极其复杂，在阈值电压模型建立过程中若采用求解硅膜内部虚拟阴极点的电势值（即：反型载流子浓度大小）来判断是否达到阈值电压，其工程应用性会受很大局限。

文献 [14-15] 近似认为正栅电压对应的虚拟阴极仍位于硅膜的正表面，背栅电压对应的虚拟阴极仍位于硅膜的背表面。对位于正、背表面的虚拟阴极位置的反型电荷体密度，分别沿着正、背沟道纵向深度方向进行积分后，得到了对应正、背沟道的反型电荷面密度。当正沟道反型电荷面密度 Q_{INV}^F 或背沟道反型电荷面密度 Q_{INV}^B 等于衬底深处掺杂平坦处多数载流子电荷面密度 Q_{TH} 时，认为器件开启，此时所对应的栅源电压（或衬底偏压）即为阈值电压。

2.2 基于虚拟阴极的阈值电压的推导

硅膜内电势最小值所在的位置称为“虚拟阴极”。在本研究中用到了两个虚拟阴极的概念。一个是基于文献 [14-15] 的近似：假设正、背栅电压分别对应的虚拟阴极就位于正、背表面，称为

“表面虚拟阴极”, 即正、背表面电势最小值所在位置; 另一个是指 Fasarakis 等^[8]与 Karatsori 等^[16]提出的将位于硅膜内部的电势最小值的位置称为“内部虚拟阴极”。在本文阈值电压模型推导中使用了“表面虚拟阴极”和“内部虚拟阴极”这两个概念, 并采用“表面虚拟阴极”的 y 坐标近似地表征“内部虚拟阴极”的 y 坐标。对于轻掺杂硅膜内杂质纵向高斯分布的 UTBB-SOI MOSFET, 其正、背栅控制的二维电势分布函数模型 $\varphi(x, y)$ 采用 Wei 等^[17]所提出的基于分离变量求解得到的硅膜内的二维电势分布函数的表达式。定义 $(t_{\text{axf}}, y_{\text{min_SF}})$ 为正表面虚拟阴极坐标, $(t_{\text{axf}} + t_{\text{si}}, y_{\text{min_SB}})$ 为背表面虚拟阴极坐标。正、背表面虚拟阴极的 y 坐标可通过分别将正、背表面势函数对 y 求导数得到。

采用 Hamid 等^[14]和 Tsormpatzoglou 等^[15]提出的基于表面虚拟阴极的电荷面密度法对于阈值电压的定义: 以位于正、背表面虚拟阴极位置为起点, 以正、背沟道深度为终点, 将反型电荷体密度函数分别沿着正、背沟道纵向深度方向进行积分后, 得到了对应正、背沟道的反型电荷面密度。当正沟道反型电荷面密度 $Q_{\text{INV}}^{\text{F}}$ 或背沟道反型电荷面密度 $Q_{\text{INV}}^{\text{B}}$ 等于衬底深处掺杂平坦处多数载流子电荷面密度 Q_{TH} 时所对应的栅源电压 (或衬底偏压) 即为阈值电压。

由轻掺杂器件的沟道反型电荷面密度^[19]计算方法得到正沟道反型电荷面密度 $Q_{\text{INV}}^{\text{F}}$ 与背沟道反型电荷面密度 $Q_{\text{INV}}^{\text{B}}$:

$$Q_{\text{INV}}^{\text{F}} = n_i \cdot \int_{t_{\text{oxf}}}^{t_{\text{oxf}}+t_{\text{si}}} e^{(q \cdot \varphi(x, y_{\text{min_SF}}))/kT} dx, Q_{\text{INV}}^{\text{B}} = n_i \cdot \int_{t_{\text{oxf}}+t_{\text{si}}}^{t_{\text{oxf}}} e^{(q \cdot \varphi(x, y_{\text{min_SB}}))/kT} dx. \quad (2)$$

其中: n_i 为本征载流子浓度 (cm^{-3}); k 为玻尔兹曼兹曼常数 (eV/K); T 为绝对温度 (K); 积分范围 (正、背沟道深度) 为整个硅膜厚度, 对被积函数在整个硅膜厚度内积分。由于电势分布函数 $\varphi(x, y_{\text{min_SF}})$ 和 $\varphi(x, y_{\text{min_SB}})$ 表达式的复杂性, 使得式 (2) 不可积。因此, 本文利用“有效电导路径”的近似方法来求式 (2) 的积分结果。“有效电导路径”是正、背栅控制下实际硅膜内部虚拟阴极在硅膜内的坐标, 定义为 $(x_{\text{min}}, y_{\text{min}})$ 。当采用表面虚拟阴极的 y 坐标 $y_{\text{min_SF}}$ 来近似表示内部虚拟阴极的 y 坐标时, 有效电导路径的坐标近似表示为 $(x_{\text{min}}, y_{\text{min_SF}})$ 。以正栅电压对正沟道的作用为例, 对“有效电导路径”所表征的物理含义进行解释: 在正栅电压作用下, 反型载流子从正表面开始, 延伸至硅膜内部形成正沟道, 以 $y_{\text{min_SF}}$ 作为起点, 沿沟道深度方向上的电势 $\varphi(x, y_{\text{min_SF}})$ 随 x 的变化而处处不相等, 反型载流子的体密度也处处不相等。引入“有效电导路径”: 可以用有效电导路径处电势 $\varphi(x_{\text{min}}, y_{\text{min_SF}})$ 来表示沿“ $y_{\text{min_SF}}$ ”在硅膜纵向上各点的平均电势; 用有效电导路径处反型载流子体密度来表示沿“ $y_{\text{min_SF}}$ ”在硅膜纵向上各点的反型载流子体密度; 用有效电导路径的纵向坐标 x_{min} 来表示反型沟道的等效厚度。然而, 即使仅求解有效电导路径 x 位置也异常复杂, 缺乏在工程中实用的价值。因此本研究进一步采用 Chen 等^[18]和 Hamid 等^[14]提出的对于有效电导路径 x 位置的近似假设: 认为正栅对应的有效电导路径位于距离正表面 $t_{\text{si}}/4$ 位置 ($x_{\text{min}}^{\text{F}} = (t_{\text{axf}} + t_{\text{si}}/4)$); 背栅对应的有效电导路径位于距离背表面 $t_{\text{si}}/4$ 位置 ($x_{\text{min}}^{\text{B}} = (t_{\text{axf}} + 3t_{\text{si}}/4)$)。这个结论被较多学者直接采用^[14-15, 18], 所得结果的准确性较好, 本文也采用此结论。因此对于硅膜内杂质纵向高斯分布 UTBB-SOI MOSFET, 正、背沟道的反型电荷面密度可进一步近似为:

$$Q_{\text{INV}}^{\text{F}} = n_i \cdot t_{\text{si}}/4 \cdot e^{q \cdot \varphi[(t_{\text{oxf}}+t_{\text{si}}/4), y_{\text{min_SF}}]/kT}, Q_{\text{INV}}^{\text{B}} = n_i \cdot t_{\text{si}}/4 \cdot e^{q \cdot \varphi[(t_{\text{oxf}}+3/4t_{\text{si}}), y_{\text{min_SB}}]/kT}. \quad (3)$$

根据基于虚拟阴极的电荷面密度法阈值电压的定义, 还需要衬底深处掺杂平坦处多数载流子电荷面密度 Q_{TH} 。本研究中器件的衬底为超薄硅膜, 在硅膜纵向掺杂不平坦, 遵循高斯分布 $N_{\text{B}}(x)$ 。因此, 以基于高斯函数纵向均值的平均掺杂浓度来计算 Q_{TH} :

$$Q_{\text{TH}} = \int_{x=t_{\text{oxf}}}^{x=t_{\text{oxf}}+t_{\text{si}}} N_{\text{B}}(x) dx = \overline{N_{\text{B}}(x)} \times t_{\text{si}}. \quad (4)$$

其中: $\overline{N_{\text{B}}(x)}$ 为基于高斯函数得到的硅膜内平均掺杂浓度 (cm^{-3})。

根据基于虚拟阴极的电荷面密度法阈值电压的定义: 当 $Q_{\text{INV}}^{\text{F}} = Q_{\text{TH}}$, 式 (5) 率先满足时的 V_{GS} 即为

正表面阈值电压 V_{THF} ; 或当 $Q_{INV}^B = Q_{TH}$, 式 (6) 率先满足时的 V_{GB} 为背表面阈值电压 V_{THB} :

$$n_i \cdot t_{si}/4 \cdot e^{q \cdot \varphi[(t_{oxf}+t_{si}/4), y_{min_SF}]/kT} = \overline{N_B(x)} \times t_{si} \Rightarrow n_i/4 \cdot e^{q \cdot \varphi[(t_{oxf}+t_{si}/4), y_{min_SF}]/kT} = \overline{N_B(x)}, \quad (5)$$

$$n_i \cdot t_{si}/4 \cdot e^{q \cdot \varphi[(t_{oxf}+3/4t_{si}), y_{min_SB}]/kT} = \overline{N_B(x)} \times t_{si} \Rightarrow n_i/4 \cdot e^{q \cdot \varphi[(t_{oxf}+3/4t_{si}), y_{min_SB}]/kT} = \overline{N_B(x)}. \quad (6)$$

正、背栅控制的杂质纵向高斯分布的 UTBB-SOI MOSFET 的阈值电压 V_{TH} 为:

$$V_{TH} = \min(V_{THF}, V_{THB}). \quad (7)$$

3 阈值电压的仿真验证

阈值电压是由器件参数决定的, 反映杂质纵向高斯分布的非均匀掺杂 UTBB-SOI MOSFET 各器件参数对阈值电压的影响趋势, 并可验证模型的正确性。本研究利用式 (7) 所求得阈值解析模型, 对不同的器件参数 N_p 、 R 、 σ 、 t_{oxf} 、 t_{si} 、 t_{oxb} 以及不同 V_{Sub} 条件下, 阈值电压随沟道长度的变化关系进行了计算与分析; 还就不同沟道长度下, 阈值电压随 V_{Sub} 的变化关系进行了计算与分析; 接着, 利用器件数值仿真软件 Sentaurus Device 进行数值模拟, 基于数值仿真得出的器件转移特性曲线, 采用最大跨导法提取器件的阈值电压, 对比模型所得阈值, 进行分析和验证。

在阈值电压的器件仿真过程中所分析的器件是 UTBB 结构, 仿真所采用的物理学模型为: 载流子的运输模型采用 “Drift-Diffusion” 模型; 载流子的掺杂采用 “Fermi-Dirac” 模型; 载流子的产生 - 复合采用 “SRH and Auger Recombination Models”; 载流子的迁移率采用 “Enormal Mobility Model”; 仿真中计入的禁带宽度变窄效应 “band-gap narrowing effects”; 通过设置 MLDA 选项, 考虑了体区的界面态效应。应强调的是: 本研究中器件沟道长度的范围为 22 ~ 100 nm。由于沟道长度大于 22 nm, 故在阈值电压模型中未引入量子效应修正项。

图 3 ~ 8 的分析中, $V_{DS} = 0.05 \text{ V}$, $V_{Sub} = 0 \text{ V}$ 。图 3 ~ 5 给出在不同的栅氧层厚度、硅膜厚度、埋氧层厚度情况下, 阈值电压随沟道长度变化曲线的改变趋势。杂质纵向高斯分布函数的峰值 $N_p = 9.48 \times 10^{14} \text{ cm}^{-3}$, 平均投影射程 $R = 15.75 \text{ nm}$, 标准差 $\sigma = 4.62 \text{ nm}$ 。

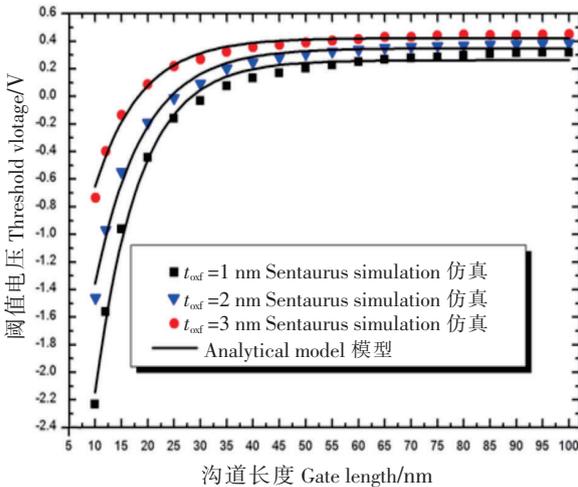


图 3 不同的栅氧层厚度下, 阈值电压随沟道长度的变化曲线

Fig.3 Threshold voltage (V_{TH}) versus the channel length ($L=12\sim 100 \text{ nm}$) for different t_{oxf}

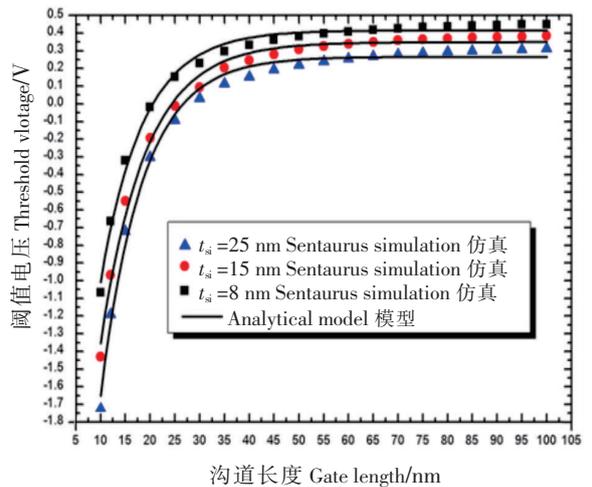


图 4 不同的硅膜厚度下, 阈值电压随沟道长度的变化曲线

Fig.4 Threshold voltage (V_{TH}) versus the channel length ($L=12\sim 100 \text{ nm}$) for different t_{si}

图 3 给出 t_{oxf} 改变时阈值电压随沟道长度变化的关系曲线。在改变 t_{oxf} 时, 固定 $t_{si} = 15 \text{ nm}$ 、 $t_{oxb} = 20 \text{ nm}$ 。从图 3 可以看出: 1) 在同一个沟道长度节点上, 阈值电压随着栅氧层厚度的减小而相应减小。2) 不论 t_{oxf} 为何值, 当沟道长度减少时阈值电压都减少。相较而言, 当栅氧层相对较薄的时候, 阈值电

压随沟道长度减小而减小的趋势更加急剧; 当栅氧层变得略厚时, 若沟道长度变短, 阈值电压减小的趋势会变得缓慢一些。这是因为更薄的栅氧化层对于沟道电荷的控制能力更强, 对阈值电压的调控更灵敏。正是由于这个原因, 当沟道长度变短时, UTBB-SOI MOSFET 工艺的栅氧层也会比较薄。

图4为硅膜厚度的改变对于阈值电压随沟道长度变化特性的影响。在改变 t_{si} 时, 固定 $t_{oxf} = 2\text{ nm}$ 、 $t_{oxb} = 20\text{ nm}$ 。在同一个沟道长度的节点上, 阈值电压随着硅膜厚度的增大而减少。因此, 硅膜厚度减小相当于减小体硅器件的结深, 对于短沟效应的抑制效果就越佳, 这正是将体区减薄的主要原因。

图5为埋氧层厚度的改变对于阈值电压随沟道长度改变特性的影响。改变 t_{oxb} 时, 固定 $t_{oxf} = 2\text{ nm}$ 、 $t_{si} = 15\text{ nm}$ 。由图5可见: 阈值电压随着埋氧层厚度的减少而增大; 而且, 埋氧层的厚度越薄, 在纳米沟道的范围内, 阈值电压随沟道长度的减少而减少的趋势相对越平缓。由此可以看出, 减薄埋氧层的厚度, 可以在一定程度上减少源、漏与衬底之间的耦合^[15-16], 因此可以更好地抑制短沟效应。这也是将埋氧区减薄的原因。

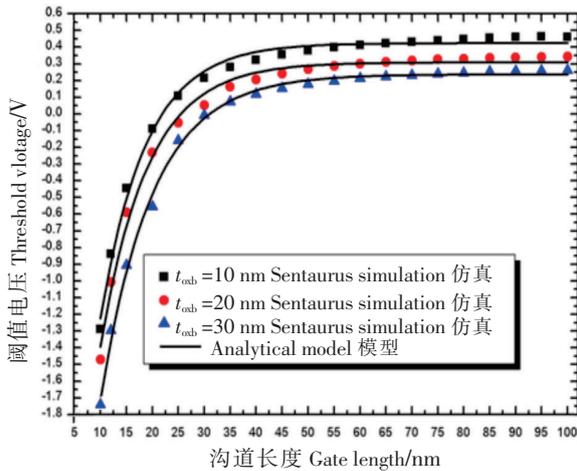


图5 不同的埋氧层厚度下, 阈值电压随沟道长度的变化曲线

Fig.5 Threshold voltage (V_{TH}) versus the channel length ($L=10\sim 100\text{ nm}$) for different t_{oxb}

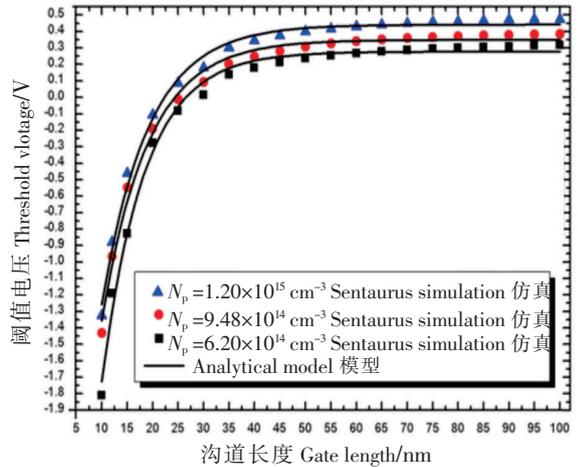


图6 不同的高斯峰值下, 阈值电压随沟道长度的变化曲线

Fig.6 Threshold voltage (V_{TH}) versus the channel length ($L=10\sim 100\text{ nm}$) for different N_p

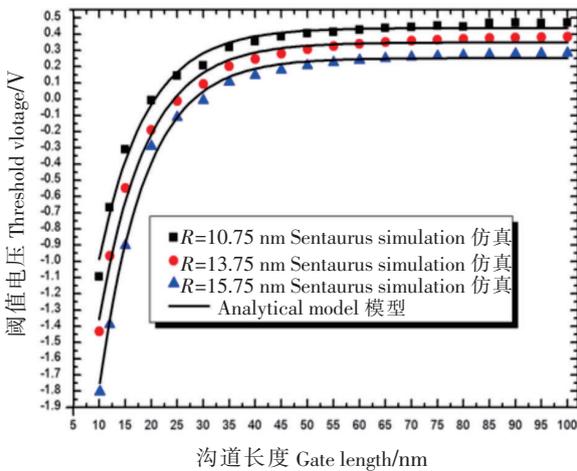


图7 不同的高斯平均投影射程下, 阈值电压随沟道长度的变化曲线

Fig.7 Threshold voltage (V_{TH}) versus the channel length ($L=10\sim 100\text{ nm}$) for different R

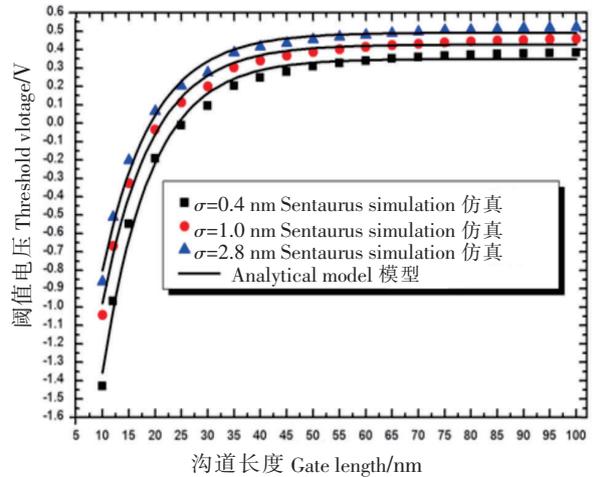


图8 不同的高斯标准差下, 阈值电压随沟道长度的变化曲线

Fig.8 Threshold voltage (V_{TH}) versus the channel length ($L=10\sim 100\text{ nm}$) for different σ

图 6~8 给出了当杂质纵向高斯掺杂特性改变时, 阈值电压随沟道长度变化曲线的改变趋势。固定 $t_{oxf} = 2 \text{ nm}$, $t_{si} = 15 \text{ nm}$, $t_{oxb} = 20 \text{ nm}$ 。图 6 为在不同高斯峰值的条件下, 阈值电压随沟道长度而改变的特性曲线的变化趋势。在改变 N_p 时, 固定 $R = 15.75 \text{ nm}$, $\sigma = 4.62 \text{ nm}$ 。由图 6 可看出: 1) 高斯峰值越大, 沟道中杂质整体掺杂浓度越大, 因此, 在各沟道长度节点上阈值电压值也就相应地越大, 在这一点上和杂质均匀分布时一致; 2) 随峰值增加, 整体掺杂浓度增加, 阈值电压漂移 (threshold roll-off) 会略微减缓。

图 7 为在不同的高斯平均投影射程的情况下, 阈值电压随沟道长度而改变的特性曲线的变化趋势。在改变高斯分布函数的平均投影射程时, 固定 $N_p = 9.48 \times 10^{14} \text{ cm}^{-3}$, $\sigma = 4.62 \text{ nm}$ 。当 R 越接近硅膜纵向的中心 ($t_{si}/2$) 时, 硅膜内整体的掺杂浓度越高, 阈值电压越大。当 $R > (t_{si}/2)$ 时, 高斯分布函数的峰值会更接近硅膜的背表面, 这使得硅膜正表面至硅膜中心线的整个硅膜上半部分的平均掺杂浓度比硅膜下半部分的平均掺杂浓度低, 造成硅膜正表面阈值电压小于背表面阈值电压 ($V_{THF} < V_{THB}$), 即, 正表面的反型沟道会率先形成。因此, 由阈值电压模型公式 (7) 可得, 硅膜正表面阈值电压 V_{THF} 成为器件的阈值电压 V_{TH} 。而当 $R < (t_{si}/2)$ 时, 高斯分布函数的峰值会更接近硅膜的正表面, 这使得硅膜正表面至硅膜中心线的整个硅膜下半部分的平均掺杂浓度比硅膜上半部分的平均掺杂浓度低, 造成硅膜正表面阈值电压小于背表面阈值电压 ($V_{THF} > V_{THB}$), 即, 背表面的反型沟道会率先形成。因此, 由阈值电压模型公式 (7) 可得, 硅膜背表面阈值电压 V_{THB} 将成为器件的阈值电压 V_{TH} 。

与上面相类似的情况还体现在高斯标准差 σ 的改变对于阈值电压随沟道长度变化的影响上, 图 8 展示了在不同高斯标准差的条件下, 阈值电压随沟道长度而改变其特性曲线的变化趋势。在改变 σ 时, 固定 $N_p = 9.48 \times 10^{14} \text{ cm}^{-3}$, $R = 15.75 \text{ nm}$ 。当 σ 增大时, 硅膜内每一个位置的掺杂浓度都会减少 (除了峰值浓度固定不变以外), 即沟道中杂质的整体掺杂浓度减少, 因此, 在各个沟道长度节点上阈值电压值也就相应地增大, 在这一点上和杂质均匀分布的特性仍是一致的。

图 9~10 分析衬源偏压对于阈值电压的影响。其中, $V_{DS} = 0.05 \text{ V}$, $N_p = 9.48 \times 10^{14} \text{ cm}^{-3}$, $R = 15.75 \text{ nm}$, $\sigma = 4.62 \text{ nm}$, $t_{oxf} = 2 \text{ nm}$, $t_{si} = 18 \text{ nm}$, $t_{oxb} = 20 \text{ nm}$ 。图 9 对比了不同的 V_{GS} 与 V_{Sub} 偏电对于阈值电压随沟道长度改变的趋势。当 $V_{GS} = 0.8 \text{ V}$, $V_{Sub} = 0 \text{ V}$ 时, 硅膜正表面率先形成反型沟道, 正表面阈值电压是器件的阈值电压; 当 $V_{GS} = 0.8 \text{ V}$, $V_{Sub} = 1.5 \text{ V}$ 时, 硅膜背表面率先形成反型沟道, 背表面阈值电压是器件的阈值电压。

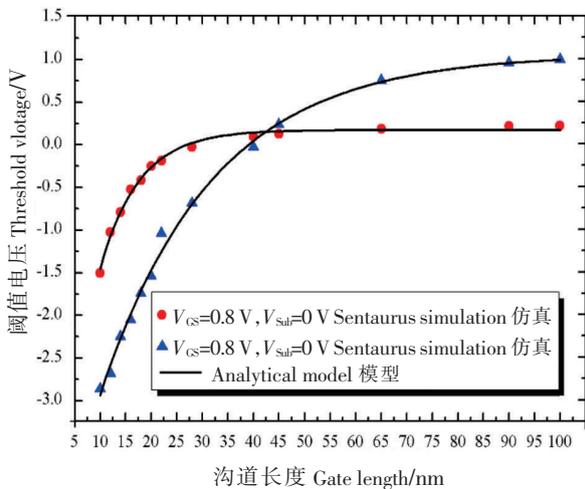


图 9 不同的正、背栅压下, 阈值电压随沟道长度的变化曲线

Fig.9 Threshold voltage (V_{TH}) versus the channel length ($L=10\sim 100 \text{ nm}$) for V_{GS} and V_{Sub}

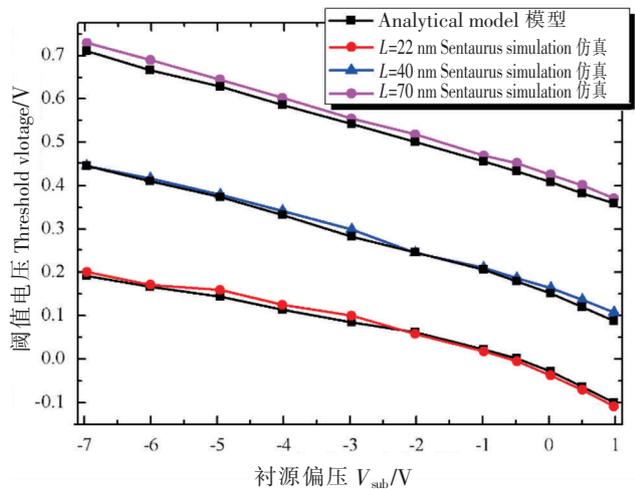


图 10 不同沟道长度下, 阈值电压随衬源偏压的变化曲线

Fig.10 Threshold voltage (V_{TH}) versus V_{Sub} at the different channel length

由图9可见, 器件在不同正、背栅压的控制之下, 阈值电压值变化很大。因此, 由于埋氧层厚度的减薄, UTBB-SOI MOSFET 可利用调整背栅压的方式实现对阈值电压动态、有效的调制。

图10展示了当器件沟道长度 L 分别为22 nm、40 nm、70 nm时, 阈值电压随衬源偏压 V_{Sub} 而改变的曲线。可看出: 无论沟道长度等于22 nm、40 nm, 还是70 nm, 随着 V_{Sub} 从-7 V增大到+1 V, 阈值电压都呈现出线性减小的关系, 而且三种沟道器件的曲线的线性度都比较好; 随着沟道长度减少, 曲线的线性度会略微变差一点。这说明在 V_{Sub} 的影响下, 硅膜的背界面形成反型沟道时, 影响背沟道的短沟效应不是很明显。

由图3~10可得出结论: 在改变杂质纵向分布高斯函数特性、改变器件厚度、改变衬源偏压的情况下, 基于“虚拟阴极的电荷面密度法”对于阈值电压的定义, 推导得出的阈值电压模型计算值与Sentaurus Device 器件模拟值基本吻合。

4 结论

首先, 基于形成轻掺杂超薄体的实际硼注入剂量和能量, 利用工艺仿真工具, 验证了纵向离子注入后经快速热退火所得到的杂质分布符合高斯函数特性。然后, 针对杂质纵向高斯分布的 UTBB-SOI MOSFET, 采用“虚拟阴极的电荷面密度法”对于阈值电压的定义, 对超薄硅膜内杂质纵向高斯分布的 UTBB-SOI MOSFET, 推导出阈值电压解析模型。利用该模型计算了不同器件参数(高斯掺杂平均投影射程、高斯标准差、高斯掺杂峰值浓度、栅氧厚度、硅膜厚度、埋氧厚度), 以及在不同的衬源偏压的条件下, 器件阈值电压随沟道长度的变化关系。最后, 分析在不同的沟道长度下, 器件阈值电压随衬源偏压的变化关系, 模型计算值与Sentaurus Device 数值仿真有良好的一致性。

本文所研究的硅膜内杂质纵向高斯分布是基于现行实际工艺步骤得到的真实分布规律。基于高斯分布推导出的阈值电压模型公式, 不但具备工程应用实际意义, 而且求解模型的方法可以进一步应用到硅膜内具有更复杂掺杂特性的 UTBB-SOI MOSFET 器件上; 更重要的是, 在阈值电压的计算中融入了杂质高斯分布的影响, 考虑高斯分布对于器件“虚拟阴极”位置的影响, 在求解虚拟阴极的位置时, 采取了合理的近似。这样既保证了模型的准确性, 又兼顾了模型的工程实用性。

[参考文献]

- [1] MOORE G E. Progress in digital integrated electronics [J]. IEDM Tech Dig, 1975: 11-13.
- [2] DENNARD R H, GAENSSLEN F H, KUHN L, et al. Design of micron MOS switching devices [J]. Solid-State Circuits Society Newsletter, 2007, 12(1): 35.
- [3] 黄如, 黎明, 安霞, 等. 后摩尔时代集成电路的新器件技术 [J]. 中国科学: 信息科学, 2012, 42(12): 1529-1543.
- [4] 王阳元, 张兴, 刘晓彦, 等. 32 nm 及其以下技术节点 CMOS 技术中的新工艺及新结构器件 [J]. 中国科学 E 辑: 信息科学, 2008, 38(6): 921-932.
- [5] JIN W, LIU W, FUNG S K H, et al. SOI thermal impedance extraction methodology and its significance for circuit simulation [J]. IEEE Transactions on Electron Devices, 2017, 48(4): 730-736.
- [6] SADACHIKA N, KITAMARU D, UETSUJI Y, et al. Completely surface-potential-based compact model of the fully depleted SOI-MOSFET including short-channel effects [J]. IEEE Transactions on Electron Devices, 2006, 53(9): 2017-2024.
- [7] AKARVARDAR K, CRISTOLOVEANU S, GENTIL P. Analytical modeling of the two-dimensional potential distribution and threshold voltage of the SOI four-gate transistor [J]. IEEE Transactions on Electron Devices, 2006, 53(10): 2569-2577.
- [8] FASARAKIS N, KARATSORI T, TASSIS D H, et al. Analytical modeling of threshold voltage and interface ideality factor of nanoscale ultrathin body and buried oxide soi mosfets with back gate control [J]. IEEE Transactions on Electron Devices, 2014, 61(4): 969-975.
- [9] LI Y, YU S M, HWANG J R, et al. Discrete dopant fluctuations in 20 nm/15 nm gate planar CMOS [J]. IEEE Electron Device Letter, 2008, 55(6): 1449-1455.

- [10] OH S H, MONROE D, HERGENROTHER J M. Analytic description of short-channel effects in fully-depleted double-gate and cylindrical, surrounding-gate MOSFETs [J]. IEEE Electron Device Letter, 2000, 21(9): 445-447.
- [11] YEH P C, FOSSUM J G. Physical subthreshold MOSFET modeling applied to viable design of deep-submicrometer fully depleted SOI low-voltage CMOS technology [J]. IEEE Transactions on Electron Devices, 1995, 42(9): 1605-1613.
- [12] ORTIZ-CONDE A, RODRIGUEZ J, SANCHEZ F J G, et al. An improved definition for modeling the threshold voltage of MOSFETs [J]. Solid-State Electronics, 1998, 42(9): 1743-1746.
- [13] SALCEDO J A, ORTIZ-CONDE A, SANCHEZ F J G, et al. New approach for defining the threshold voltage of MOSFETs [J]. IEEE Transactions on Electron Devices, 2001, 48(4): 809-813.
- [14] HAMID H A E, GUITAR J R, INIGUEZ B. Two-dimensional analytical threshold voltage and subthreshold swing models of undoped symmetric double-gate MOSFETs [J]. IEEE Transactions on Electron Devices, 2007, 54(6): 1402-1408.
- [15] TSORMPATZOGLOU A, DIMITRIADIS CA, CLERC R, et al. Threshold voltage model for short-channel undoped symmetrical double-gate MOSFETs [J]. IEEE Transactions on Electron Devices, 2008, 55(9): 2512-2515.
- [16] KARATSORI T A, TSORMPATZOGLOU A, THEODOROUS C G, et al. Analytical compact model for lightly doped nanoscale ultrathin-body and box soi mosfets with back-gate control [J]. IEEE Transactions on Electron Devices, 2015, 62(10): 3117-3124.
- [17] WEI S F, ZHANG G H, SHAO Z B, et al. Analytic modeling of potential and threshold voltage for short-channel thin-body fully depleted silicon-on-insulator MOSFETs with a vertical Gaussian doping profile [J]. Japanese Journal of Applied Physics, 2016, 55(104201): 1-9.
- [18] CHEN Q, HARRELL E M, MEINDL J D. A physical short-channel threshold voltage model for undoped symmetric double-gate MOSFETs [J]. IEEE Transactions on Electron Devices, 2003, 50(7): 1631-1637.
- [19] BURIGNAT S, FLANDRE D, MD ARSHAD M K, et al. Substrate impact on threshold voltage and subthreshold slope of sub-32 nm ultra thin SOI MOSFETs with thin buried oxide and undoped channel [J]. Solid-State Electronics, 2010, 54(2): 213-219.

(责任编辑 朱雪莲 英文审校 叶秋波)