

高线性度大摆幅 56 Gbit/s PAM4 驱动电路设计

易璐茗^{1,2}, 祁楠^{2,3}, 杨骁¹

(1. 华侨大学信息科学与工程学院, 福建 厦门 361021; 2. 中国科学院半导体研究所, 北京 100083;
3. 中国科学院大学, 北京 100049)

[摘要] 面向高速串行接口发送端应用, 设计了具有二阶去加重均衡功能的高线性度大摆幅四电平脉冲幅度调制(4 pulse amplitude modulation, PAM4)电压模驱动电路。采用查表的方式对信道损耗进行灵活补偿; 在输出端并联两个电阻解决传统电压模驱动电路设计中线性度较低的问题; 采用反相器堆叠的推挽式结构实现了高输出摆幅; 提出一种新型电平转移电路, 解决了连续0或1数字码产生的直流电平漂移问题。仿真结果表明, 驱动电路的电平失配率为97.9%, 去加重均衡实现6.6 dB、13 dB和19.6 dB三种去加重级数, 差分输出摆幅为2 V, 功耗效率为2.3 mW/(Gbit/s)。

[关键词] 四电平脉冲调制; 去加重; 高线性度; 大摆幅; 电压模驱动电路

[中图分类号] TN 432

Design of 56 Gbit/s PAM4 Driving Circuit with High Linearity and Large Swing

YI Luming^{1,2}, QI Nan^{2,3}, YANG Xiao¹

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China;

2. Institute of Semiconductors, Chinese Academy of Science, Beijing 100083, China;

3. University of Chinese Academy of Science, Beijing 100049, China)

Abstract: For high-speed serial interface transmitter applications, this paper designs a high linearity and large swing four-level pulse amplitude modulation(PAM4) voltage mode driving circuit with second-order de-emphasis equalization. The circuit employs a lookup table (LUT)-based approach to flexibly compensate the channel loss. By embedding an additional two resistors into the output terminal, the low linearity of traditional voltage mode driving circuit can be solved. Output driver circuit adopts a push-pull structure based on inverter stacking to achieve high output swing, in which a new type of level shift circuit is adopted to reduce the problem of DC level drift caused by continuous 0 or 1 digital code. Measurement results show that the ratio of level mismatch(RLM) is 97.9%, de-emphasis equalization realizes three de-emphasis levels of 6.6 dB, 13 dB and 19.6 dB, the circuit exhibits 2 V differential output swing and 2.3 mW/(Gbit/s) power consumption efficiency.

Keywords: 4-level pulse amplitude modulation; de-emphasis; high linearity; large swing; voltage mode driver

[收稿日期] 2022-02-23

[作者简介] 易璐茗(1997—), 女, 硕士生, 从事数模混合信号集成电路设计方向研究。通信作者: 杨骁(1978—), 男, 博士, 副教授, 主要从事射频模拟集成电路设计研究。E-mail: xiaoyanghqu@hqu.edu.cn

0 引言

随着大数据和云计算等技术的发展, 通信速率需求不断增大, 信道非理想性对数据传输的影响亦愈发严重。相同速率下四电平脉冲幅度调制 (4 pulse amplitude modulation, PAM4) 信号所需信道带宽仅为非归零 (non return to zero, NRZ) 信号的一半, 使其在超高速串行链路通信系统中得到广泛的应用^[1]。但 PAM4 信号单个眼高只有 NRZ 信号的三分之一, 同时由非线性引起的三个眼高不均匀也会进一步影响 PAM4 信号的质量, 使误码率增加^[2]。因此高输出摆幅和高线性度成为 PAM4 驱动电路设计的关键。文献 [3] 在电流模 (current mode logic, CML) 结构的驱动电路输出节点中额外注入一路辅助电流, 通过提高输出点的共模电平来提升电路的线性度, 使得电平失配率达到 97%, 但其差分输出摆幅只有 1.2 V, 输出摆幅较小。文献 [2] 和 [4] 采用 CML 结构和有源串联终端 (source series terminated, SST) 结构实现了一种混合驱动电路, 其输出摆幅和线性度分别为 1.8 V、96.4% 与 1.3 V、94.0%。

为了提高输出摆幅, 本文采用电平移位电路和反相器堆叠推挽式结构相结合的方式, 以期实现 2 V 的差分输出摆幅。

1 驱动电路中关键电路设计

图 1 为电压模发送器结构示意图。电压模发送器主要由物理编码子层和物理媒介适配层两部分组成。物理编码子层中的 d1 和 d0 分别为主通路和延时一个 UI 的 NRZ 信号。驱动电路由 10 个不同权重 (2X, 1X, 0.5X, 0.25X) 的子驱动单元并联而成, 其中每个子驱动单元都包含 4 - b 查找表电路 (lookup table, LUT)、2 转 1 并串转化电路 (multiplexer, MUX) 和输出驱动级。

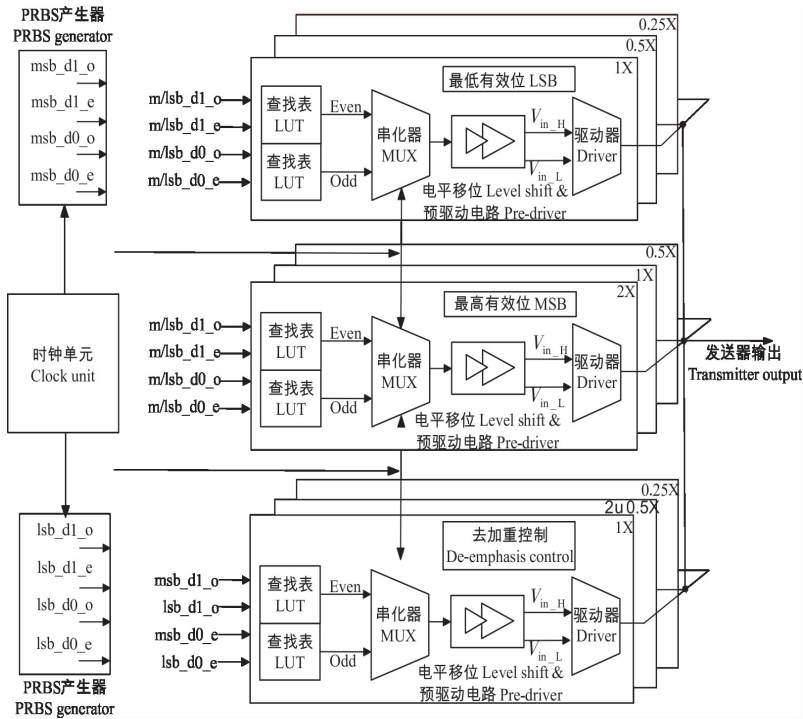


图 1 电压模发送器结构示意图

Fig.1 Structure diagram of the voltage-mode transmitter

根据 PAM4 信号的需求, 将 10 个子驱动单元分为两个部分: 第一部分采用 5.25X 传输主通路数据, 按照 2:1 的比例将第一部分划分为最高有效位 (most significant bit, MSB) 和最低有效位 (least significant bit, LSB), 使两个通道的输出阻抗比为 1:2, 因此在相同的输出摆幅下, 输出电流 $I_{\text{MSB}} : I_{\text{LSB}} = 2 : 1$, 经过负载电阻后转变为电压信号, 从而实现 PAM4 信号的合成。第二部分是采用 2.25X 对输出的 PAM4 信号进行去加重均衡。伪随机序列 (pseudo-random-bit sequence, PRBS) 产生 8 路

14 Gbit/s数据，这 8 路数据将根据所要实现的功能每 4 路分为 1 组，每组都作为地址信号输入子驱动单元的 2 个 4 比特 LUT 中，最终得到 2 路 14 Gbit/s 的输出数据。这 2 路数据经过 2:1 MUX 后合并为 1 路 28 Gbit/s 的差分串行数据。为了实现 2 V 的输出摆幅，MUX 输出 0~1 V 串行数据需要进行电平转化产生另一路 1~2 V 的数据，将这两路数据输入堆叠反相器结构的输出驱动电路中，最终得到 56 Gbit/s 差分 PAM4 信号。

1.1 查找表电路

查找表本身是一个存储器（random-access memory, RAM），事先将数据写入 RAM，每输入一个信号就相当于输入一个地址，通过查表，找出地址对应的内容输出即可。目前查找表主要是采用静态随机存取存储器来实现^[5]。本文利用传输门和三态反相器构成查找表。由于三态反相器总存在连到电源或地的路径，其输出可以看作是一个低阻抗节点。与使用两个传输门相比，三态反相器和传输门的组合速度更快。图 2 为基于三态反相器的查找表电路。

表 1 给出该查找表电路的真值表。由表 1 可知，一个地址对应一个数值。实际使用中，D3D2D1D0 为预存好的数据，S1 和 S0 分别为 PRBS 所产生的主标和后标数据。当 D3D2D1D0 = 1100 时输出主标数据 S1，而当 D3D2D1D0 = 0101 时输出反相后标数据 S0b。由此可以推出当 D3D2D1D0 = 0100 时，输出数据的低电平取决于 S1，而高电平取决于 S0b；当 D3D2D1D0 = 1101 时，输出数据的低电平取决于 S0b，而高电平取决于 S1。

1.2 驱动电路输出级设计

为得到两倍于电源电压的摆幅，输出驱动电路采用堆叠反相器构成的推挽式结构，该结构需要输入 0~1 V 和 1~2 V 两路并行信号。本研究采用一个电平移位电路将 MUX 输出 0~1 V 的信号转移到 1~2 V。

驱动电路输出级的结构如图 3 所示。

高速数据的电平转换一般采用交流耦合结构^[6]，如图 4 所示。这种结构在两个不同电压域的电路之间串联一个滤波电容，使用两路偏置在阈值电压附近的有源电阻对耦合后的信号提供直流偏置。同时为了增大驱动能力，经过移位后的信号还需要反相器 I2 和 I3 作为缓冲级。

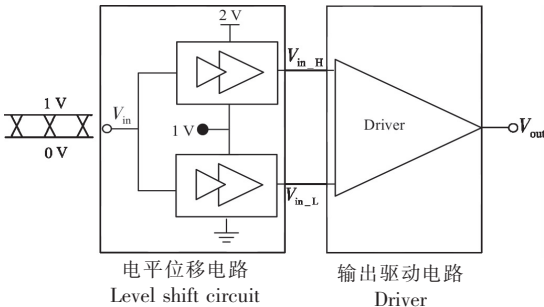


图 3 驱动电路输出级框图

Fig.3 Block diagram of the output stage of driving circuit

为了减小长 0 长 1 的直流电平漂移，有源电阻和电容构成的高通截止频率应要小于有用信号频率。经过计算，输入 28 Gbit/s 的 PRBS7 时，RC 构成的高通截止频率 f 应小于 35 MHz。

如图 5 所示，当电容为 43 fF 时，不同工艺角下的截止频率均小于 35 MHz，符合设计指标。图 6

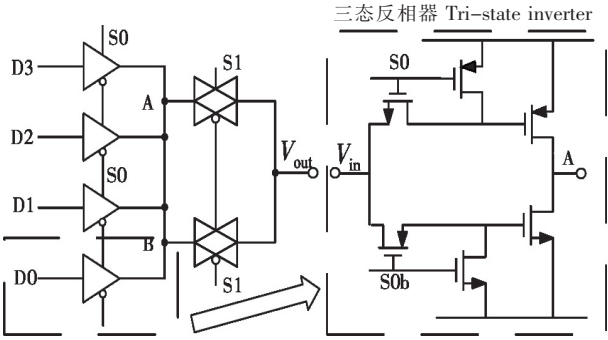


图 2 基于三态反相器的查找表电路
Fig.2 LUT design based on tri-state inverter

表 1 查找表电路的真值表		
Tab.1 The truth table of LUT		
S1	S0	OUT
1	1	D3
1	0	D2
0	1	D1
0	0	D0

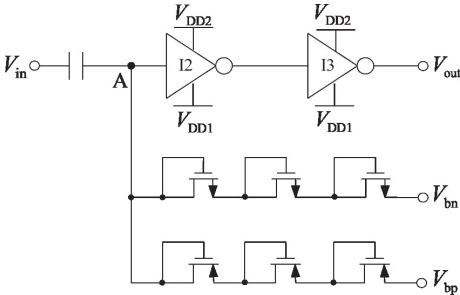


图 4 电平移位电路

Fig.4 CMOS level-shifter circuit

表明截止频率越低, 输出眼图的峰峰值抖动越小, 有效缓解了直流电平漂移问题。经过测量, 不同工艺角下的峰峰值抖动均小于 0.1 个单位间隔。

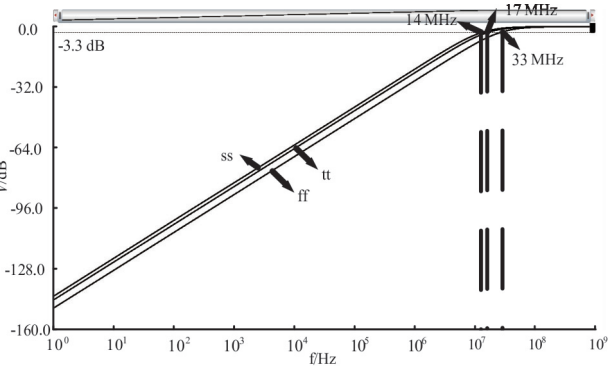


图 5 AC 响应仿真曲线

Fig.5 AC response curve

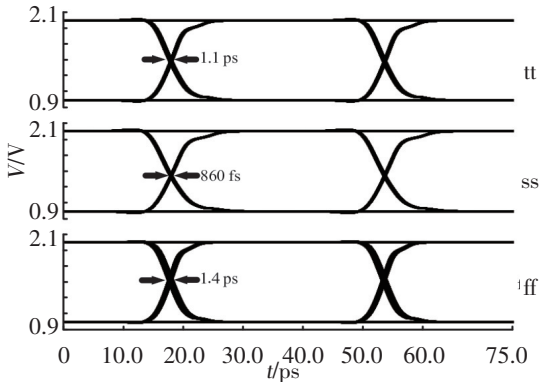


图 6 电平移位电路在不同工艺角下的输出眼图

Fig.6 Level-shifter output eye diagrams at different process corners

为了降低误码率, 需要增大 PAM4 信号的符号间电位差值^[7]。传统 SST 结构的电路通过提高电源电压, 并使用厚栅晶体管作为驱动管增大输出摆幅, 但这种方法会降低电路的工作速率^[8]。如图 7 所示, 将两个反相器堆叠在一起, 位于中间的反相器偏置在 1 V, 相当于把 2 V 的摆幅均摊到两个串联的 PMOS (或 NMOS), 解决了速度和摆幅之间的矛盾。引入 M_{n2} 和 M_{p2} 解决了两个串联的 PMOS/ NMOS 分压不均匀导致漏端电压不稳定的问题。

图 8 为输出驱动电路中部分结点波形, 当输入逻辑低 ($V_{in-H} = 1V$, $V_{in-L} = 0V$) 时, M_{p0} 和 M_{p1} 开启通过负载电容将输出 V_{out} 上拉到 2V, 同时 M_{p2} 导通使得 M_{n1} 和 M_{n0} 的 V_{DS0} 和 V_{DS1} 能够稳定在 1V; 同理, 当输入逻辑高 ($V_{in-H} = 2V$, $V_{in-L} = 1V$) 时, M_{n2} 导通使得 M_{p0} 的漏端电压稳定在 1V。这解决了两个串联 MOS 管分压不均匀的问题。

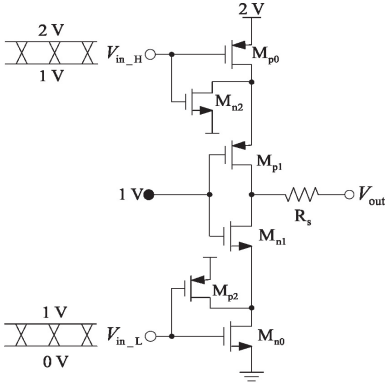


图 7 堆叠反相器输出驱动电路

Fig.7 Output driver segment with stacked inverter

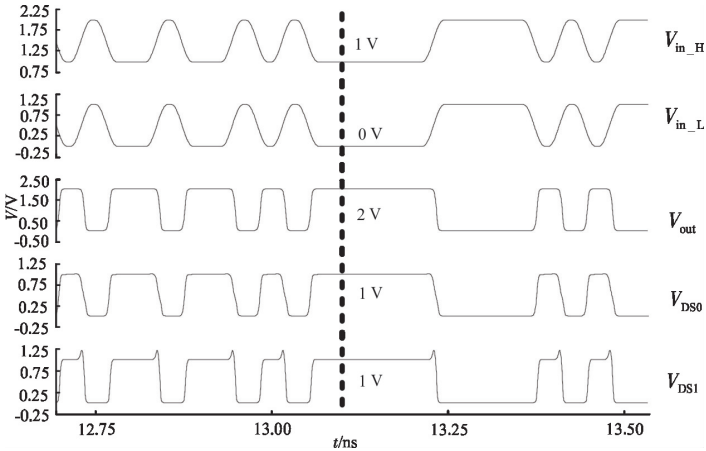


图 8 输出驱动电路部分结点仿真图

Fig.8 Simulated some nodes diagrams of output driver stage

1.3 二阶去加重前馈均衡

去加重是通过衰减低频信号从而降低高低频信号的衰减差。利用查找表电路把 NRZ 输出的均衡转化为 PAM4 信号的均衡。图 9 为 MSB 中 NRZ 信号的去加重过程。

用于传输主通路数据的驱动单元事先写入 1100, 而去加重均衡的驱动单元则根据所需要均衡的电平进行设置, 最后通过数学模拟转换器 (digital analog converter, DAC) 将 LUT 均衡器输出的数字信号转换为模拟信号进行叠加。如图 9a 所示, 当 ABCD = 0100 时, 对 “1” 电平进行均衡, 均衡的系数和 LUT 的权重有关。

图 10 展示了将 NRZ 信号去加重均衡的方法扩展到使用 4 个 LUT 对 PAM4 信号进行均衡, LUT 的

地址线为 PAM4 信号的当前位 (msb_d1、lsb_d1) 和延时 1 个 UI 的数据 (msb_d0、lsb_d0)。只要确保传输 MSB 和 LSB 的驱动单元权重比为 2:1, 就能将 NRZ 信号均衡转换为对 PAM4 信号的均衡。

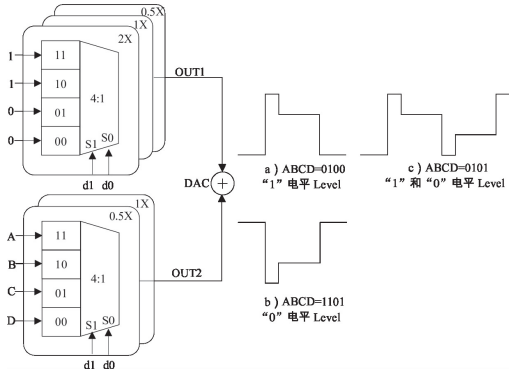


图 9 NRZ 信号的去加重均衡

Fig.9 De-emphasis on NRZ signals

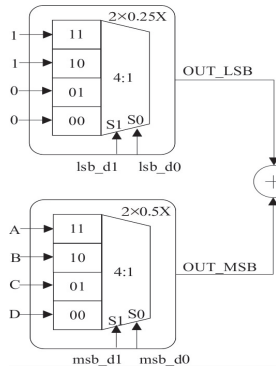


图 10 PAM-4 信号的去加重均衡

Fig.10 De-emphasis on PAM4 signals

1.4 线性度补偿

对于 PAM4 信号线性度是一个重要的设计指标, 而电平失配率 (ratio level mismatch, RLM) R_{LM} 是评估 PAM4 信号线性度的一个重要标准, 计算公式为^[4]: $R_{LM} = 3V_{min}/V_{pp}$ 。其中, V_{min} 是三个眼中眼高最小的幅值, V_{pp} 是输出信号的峰峰值。RLM 值越高说明输出 PAM4 信号的线性度越好。CEI-56 G 和 IEEE802.3bs 建议 RLM 值至少要达到 92%^[9]。

驱动电路的输出阻抗由 MOS 导通电阻 R_{on} 和无源电阻 R_s 构成。MOS 管的工作区域随输出电压的变化而变化, 导致 MOS 管导通电阻线性度较差。为获得高 RLM, 非线性 MOS 管导通电阻在总输出阻抗中的占比要小于线性无源电阻 R_s , 但在设计过程中, $R_{on} + R_s$ 应等于传输线特征阻抗 Z_0 。因此增大 R_s 的同时要减小 R_{on} 才能满足阻抗匹配。虽然可以通过增大 MOS 管尺寸来减小 R_{on} , 但这会增加输入电容导致 DAC 的速度降低。如图 11 所示, 通过在驱动电路输出并联两个可调电阻 R_{par} 解决线性度和信号反射之间的矛盾。

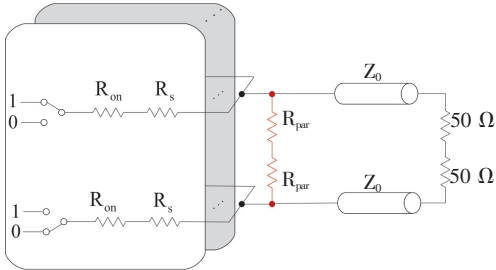


图 11 具有并联电阻的输出网络

Fig.11 Output network with additional resistors

图 12 为 R_{on} (即宽长比一定) 固定时, RLM 随 R_s 占比和 R_{par} 的变化曲线。从图 12 可看出: 在 R_{par} 等于 100 Ω 时, R_s 占比从 60% 增加到 75% 时, RLM 从 91.8% 提升到 97.5%, R_s 占比对 RLM 影响显著。图 13 为输出阻抗 50 Ω 时 $R_{on} + R_s$ 与 R_{par} 的取值曲线图, R_{par} 越接近 50 Ω 时, $R_{on} + R_s$ 的取值越大, 但此时通过 R_{par} 的电流大, 功耗过大; R_{par} 取值越大, 则 $R_{on} + R_s$ 的取值越小, 此时要得到较高 R_s 占比, R_{on} 则越小, 导致晶体管宽长取值过大, 寄生电容大, 电路带宽下降。折中考虑, 本研究最终选取 R_{par} 为 180 Ω , R_s 占比为 75%。

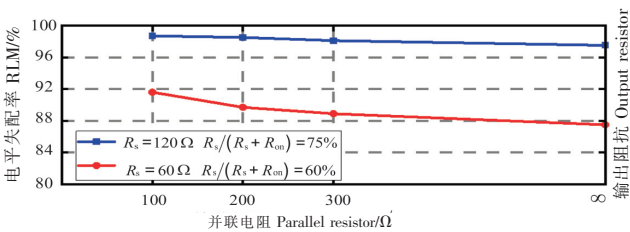


图 12 R_s 占比不同下 RLM 随 R_{par} 的变化曲线图

Fig.12 The change curve of RLM with R_{par} under different proportion of R_s

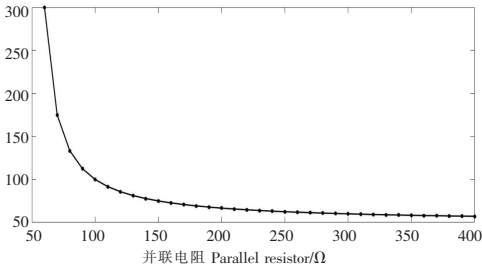


图 13 阻抗匹配下 R_{par} 和 $R_{on} + R_s$ 的取值

Fig.13 Values of R_{par} and $R_{on} + R_s$ under impedance matching

2 后仿验证

基于 CMOS 45 nm 工艺对电压模驱动电路进行版图绘制, 如图 14 所示, 版图面积为 $158\text{ }\mu\text{m} \times 355\text{ }\mu\text{m}$ 。

不考虑信道损耗和线性度补偿的情况下, 当 R_s 和 R_{on} 分别占输出阻抗的 75% 和 25% 时, 输入 28 Gbit/s 的 PRBS10 的后仿输出差分眼图如图 15 所示。

差分眼图的高度为 2.2 V, 三个眼从上到下的开合程度分别为 724, 808, 722 mV, 经计算 RLM 值为 96.1%。如图 16 所示, 当 $R_{par} = 180\text{ }\Omega$ 时, RLM 提升到 97.9%, 输出摆幅为 2 V。

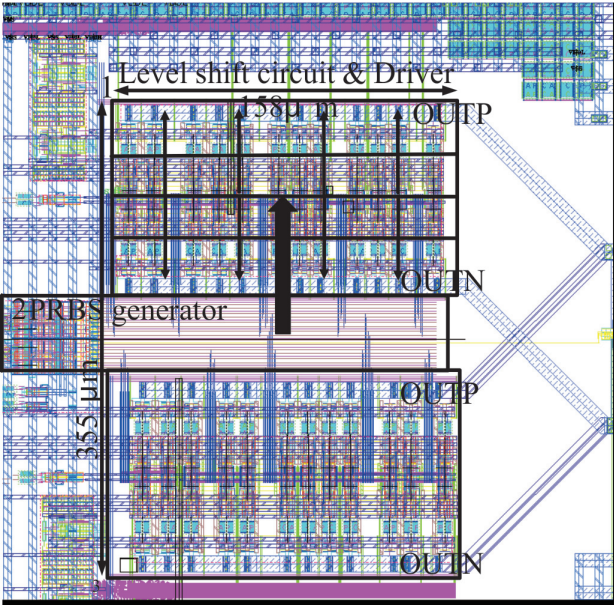


图 14 电压模发送器版图

Fig.14 Layout of the voltage mode transmitter

图 17 为采用主阶加后阶的均衡方式驱动电路的输出眼图。图 17 显示, 当均衡系数分别为 $[-0.75, 6.75]$ 、 $[-1.50, 6.00]$ 和 $[-2.25, 5.25]$ 时, 能够补偿 6.6 dB、13 dB 和 19.6 dB 的信道损耗。PAM4 信号每个符号电平的去加重幅度不一样, 因此均衡后的 PAM4 眼图有 16 个电平。

将驱动电路的后仿结果和近几年发表的文献进行比较 (见表 2)。在相同工艺下, 和文献 [6] 相比, 本设计的输出摆幅更大, 传输数据速率更高, 且功耗低。在相同工作速率下, 文献 [3] 基于更

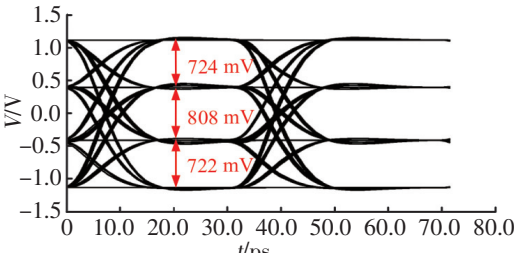


图 15 无信道损耗的输出眼图

Fig.14 Output eye diagram without channel loss

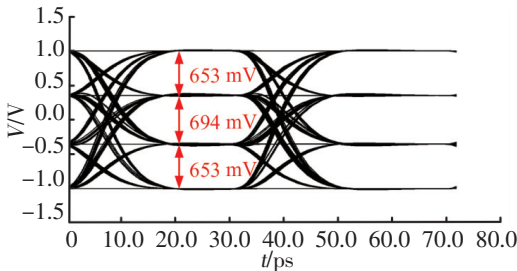


图 16 补偿后的输出眼图

Fig.15 The eye diagram after compensation

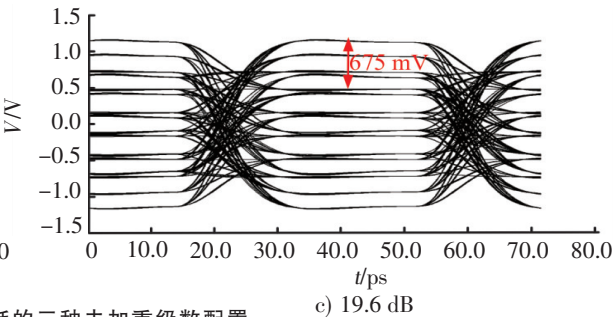
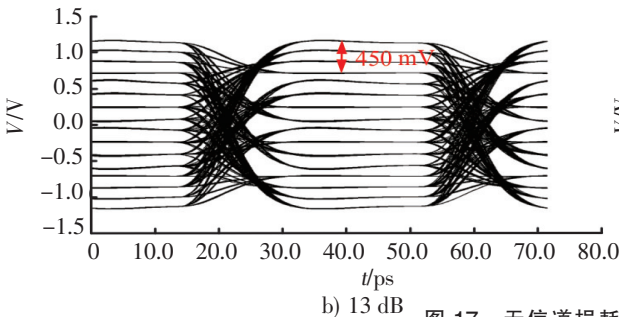
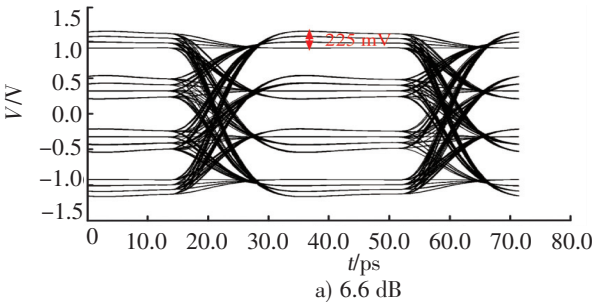


图 17 无信道损耗的三种去加重级数配置

Fig.17 Three kinds of de-emphasis settings without channel loss

先进的工艺设计了一款电流模驱动电路，最终实现输出摆幅为 1.2 V、RLM 为 97%，而本文采用电压模结构在输出摆幅为 2 V 时，RLM 仍为 97.9%。文献 [10] 同样也是基于 LUT 的 PAM4 线性度补偿，其补偿后的 RLM 为 96.7%，而本文补偿后为 97.9%。综上所述，在数据速率相同的情况下，本文设计的驱动电路在线性度、速度和输出摆幅等方面具有较大的优势。

表 2 电压模驱动电路的仿真性能对比
Tab.2 Simulated performance comparison with previous work of voltage mode driving circuit

指标 Index	文献[6]Ref[6]	文献[3]Ref[3]	文献[10]Ref[10]	本文 This paper
工艺 Technology	45 nm	16 nm	65 nm	45 nm
发送器结构 Transmitter strucure	VML	CML	VML	VML
数据格式 Data format	NRZ	PAM4	PAM4	PAM4
供电电压 Supply voltage/V	1.0/2.0	1.2	1.2	1.0/2.0
传输速率 Date rate/(Gbit · s ⁻¹)	14	56	32	56
输出摆幅 Output swing/mV	1875	1200	1200	2000
功耗效率 Power efficient/(mW · (Gbit · s ⁻¹) ⁻¹)	6.1	2.5	5.5	2.3
RLM/%	—	97.0	96.7	97.9

3 结论

本文基于 CMOS 45 nm 工艺设计了一款高线性度、高摆幅的 PAM4 电压模驱动电路。仿真结果显示该驱动电路在 56 Gbit/s 速率下获得 2 V 差分输出摆幅,实现 6.6 dB、13 dB 和 19.6 dB 的去加重均衡,RLM 为 97.9%,1 V/2 V 电源电压下的功耗效率为 2.3 mW/(Gbit/s),具有高线性度和大摆幅的特点,可满足高速数据传输的应用需求。

[参 考 文 献]

[1] LV F X,ZHENG X Q,WANG Z Q,et al. A 50 Gb/s low power PAM4 SerDes transmitter with 4-tap FFE and high linearity output voltage in 65 nm CMOS technology[C]//11th International Conference on ASIC. Chengdu:IEEE, 2015: 1- 4.

[2] WANG D J,CHEN H,LUAN W H,et al. A 4-40 Gb/s PAM-4 transmitter with a hybrid driver in 65 nm CMOS technology [C]//62nd International Midwest Symposium on Circuits and Systems (MWSCAS). Dallas:IEEE, 2019: 251-254.

[3] FRANS Y,SHIN J,LEI Z,et al. A 56 Gb/s PAM4 wireline transceiver using a 32-way time-interleaved SAR ADC in 16-nm FinFET[J]. IEEE Journal of Solid-State Circuits, 2017,52(4): 1101-1110.

[4] BASSI M,F RADICE,BRUCCOLERI M,et al. 3.6 A 45Gb/s PAM-4 transmitter delivering 1.3 V pppd output swing with 1 V supply in 28 nm CMOS FDSOI[C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2016: 66-67.

[5] 陈志强,程凌浩,鲍园,等. 四电平脉冲幅度调制光互联系统中的可重构发射芯片架构[J/OL]. 激光与光电子学进展, 2021, 58(21): 2016004:1-9.

[6] MENOLFI C,TOIFL T,RUEEGG M,et al. A 14 Gb/s high-swing thin-oxide device SST TX in 45nm CMOS SOI[C]//2011 IEEE Solid-State Circuits Conference(ISSCC). San Francisco:IEEE, 2015: 156-158.

[7] 谢生,石岱泉,毛陆虹,等. 高线性度大摆幅高速 PAM4 光发射机驱动电路设计[J]. 天津大学学报(自然科学与工程技术版),2021, 54(8): 861-867.

[8] LI H,XUAN Z,TITRIKU A,et al. A 25 Gb/s,4. 4 V-swing,AC-coupled ring modulator-based WDM transmitter with wave-length stabilization in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2015,50(2): 3145-3159.

[9] ZHENG X Q,ZHANG C,LV F X,et al. A 4 -40 Gb/s PAM4 transmitter with output linearity optimization in 65 nm CMOS [C]//2017 IEEE Custom Integrated Circuits Conference (CICC). Austin:IEEE,2017:1- 4.

[10] ROSHAN-ZAMIR A,ELHADIDY O,YANG H W,et al. A reconfigurable 16/32 Gb/s dual-mode NRZ/PAM4 SerDes in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2017,52(9): 2430-2447.

(责任编辑 朱雪莲 英文审校 黄振坤)